

日本国特許庁
JAPAN PATENT OFFICE

#5
Jc879 U.S. PTO
09/970766
10/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年10月16日

出願番号

Application Number:

特願2000-315822

出願人
Applicant(s):

セイコーエプソン株式会社

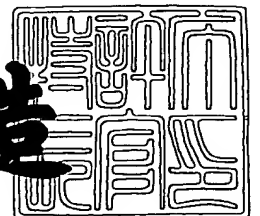
Seiko Epson



2001年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3057233

【書類名】 特許願

【整理番号】 J0080647

【提出日】 平成12年10月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/04
G02F 1/133

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 山崎 泰志

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 平林 幸哉

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板の製造方法、半導体基板、電気光学装置並びに電子機器

【特許請求の範囲】

【請求項 1】 半導体基板の一面に絶縁膜を形成する工程と、
前記半導体基板の絶縁膜上に所定の形状を有するイオン遮蔽材を形成する工程と、
前記半導体基板の絶縁膜が形成されている側から前記半導体基板中にイオンを注入してイオン注入層を形成する工程と、
前記イオン遮蔽材を除去して前記半導体基板の絶縁膜と支持基板とを貼り合わせる工程と、
前記半導体基板を前記イオン注入層の部分で分離する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 2】 前記半導体基板を前記イオン注入層の部分で分離する工程が、前記イオン注入層におけるイオン濃度のピーク位置で前記半導体基板を分離する工程であることを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 3】 前記イオン遮蔽材を形成する工程が、レジストまたは酸化膜からなるイオン遮蔽材を前記半導体基板の絶縁膜上に形成する工程と、前記イオン遮蔽材を所定の形状にパターニングする工程とを含むことを特徴とする請求項 1 または 2 に記載の半導体基板の製造方法。

【請求項 4】 前記イオン遮蔽材の外端部の形状が、最外端に向かって細くなるテーパ状であることを特徴とする請求項 1 ないし 3 に記載の半導体基板の製造方法。

【請求項 5】 前記単結晶半導体基板が、単結晶シリコンからなることを特徴とする請求項 1 ないし 4 に記載の半導体基板の製造方法。

【請求項 6】 前記支持基板が光透過性材料からなることを特徴とする請求項 1 ないし 5 に記載の半導体基板の製造方法。

【請求項 7】 前記光透過性材料がガラスからなることを特徴とする請求項 6 に記載の半導体基板の製造方法。

【請求項 8】 前記光透過性材料が石英からなることを特徴とする請求項 6 に記載の半導体基板の製造方法。

【請求項 9】 支持基板と、該支持基板の表面に張り合わされた絶縁膜と、該絶縁膜上に形成された単結晶半導体層とを有する半導体基板であって、前記単結晶半導体層が、その層内において異なる厚さを有する構造であることを特徴とする半導体基板。

【請求項 10】 支持基板と、対向基板との間に電気光学物質を挟持してなり、前記支持基板の単結晶半導体層の画像表示領域に画素配列に対応してマトリクス状に配置された複数の第 1 スイッチング素子と、

前記画像表示領域の周辺に位置する周辺領域に配置されており、周辺回路を少なくとも部分的に構成する複数の第 2 スイッチング素子とを備え、

前記第 1 スイッチング素子を構成する画像表示領域の単結晶半導体層の厚さが、前記第 2 スイッチング素子を構成する周辺領域の単結晶半導体層よりも薄いことを特徴とする電気光学装置。

【請求項 11】 前記周辺回路が駆動回路であることを特徴とする請求項 9 に記載の電気光学装置。

【請求項 12】 光源と、前記光源から出射される光が入射されて画像情報に対応した変調を施す請求項 10 に記載の電気光学装置と、前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI 構造を有する半導体基板の製造技術に関し、電気光学装置に利用して好適な半導体基板とその製造方法に関する。

【0002】

【従来の技術】

絶縁体層上に設けられたシリコン層を半導体装置の形成に利用する SOI (Silicon On Insulator) 技術は、 α 線耐性、ラッチアップ特性、あるいはショートチャネルの抑制効果など、通常のシリコン基板では達成し得ない優れた特性を示

すため、半導体装置の高集積化を目的として開発が進められている。

【0003】

最近では、100nm以下の厚さにまで薄膜化されたSOI層にデバイスを形成したのによって、優れたショートチャネル抑制効果が見いだされている。また、このようにして形成されたSOIデバイスは、放射線耐性に優れることによる高信頼性を備えるとともに、寄生容量の低減による素子の高速化、低消費電力化をはかれること、あるいは完全空乏型電界効果トランジスタを作製できることによるプロセスルールの微細化を図れることなどの優れた点を備えている。

【0004】

このようなSOI技術の1つとして、単結晶シリコン基板の貼り合わせによるSOI基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板（絶縁性基板）とを水素結合力を利用して貼り合わせた後、熱処理によって貼り合わせ強度を強化し、次いで単結晶シリコン基板を研削や研磨、またはエッチングによって薄膜化することにより、単結晶シリコン層を支持基板上に形成するものである。この手法では、直接、単結晶のシリコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

【0005】

また、この貼り合わせ法を応用したものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法（US Patent No. 5,374,564）や、表面を多孔質化したシリコン基板上に単結晶シリコン層をエピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法（特開平4-346418号）などが知られている。

【0006】

このような貼り合わせ法によるSOI基板は通常バルク半導体基板（半導体集積回路）と同様に、様々なデバイスの作製に用いられるが、従来のバルク基板

と異なる点として、支持基板に様々な材料を使用することが可能である点を挙げることができる。すなわち、支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。その結果、例えば透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどの電気光学装置においても、結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

【0007】

【発明が解決しようとする課題】

ところで、液晶装置に上記のようなSOI基板を用いることで、単結晶半導体基板へのデバイス形成プロセスを適用することが可能になる。すなわち、画素電極を駆動するTFT（薄膜トランジスタ）や、表示部周辺の駆動回路を単結晶半導体層であるSOI層に形成することにより表示の微細化、高速化を実現することができる。

【0008】

このような液晶装置において使用されるSOI基板においては、画素が形成される領域の単結晶半導体層は光リーク電流を抑制するために極めて薄くすることが好ましい。その一方で、画素が形成される領域の周辺の駆動回路が形成される領域は、高速で駆動される駆動回路を形成する必要があるため、シート抵抗を小さくしておくことが好ましいので、単結晶半導体層は厚く形成しておく方が有利である。

【0009】

しかしながら、前記公報に開示されている製造方法では、一定の単結晶半導体層厚の半導体基板しか作製することができず、例えば画素形成領域に要求される100nm以下の厚さで単結晶半導体層を形成すると、周辺の駆動回路の形成が非常に困難なものになってしまう。逆に、駆動回路の形成を容易にするために、全体を200nm程度の厚さで形成した場合には、改めて画素形成領域の単結晶半導体層を薄膜化する必要があり、この薄膜化には極めて高度な制御技術が必要である。

【0010】

本発明は、上記の課題を解決するためになされたものであって、SOI構造を有する半導体基板において、部分的に異なる厚さを有する単結晶半導体層を備える半導体基板の製造方法を提供することを目的とする。

【0011】

また、本発明の他の目的は、上記の半導体基板上に画素や駆動回路を形成して作製された電気光学装置を提供することにある。

【0012】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体基板の製造方法は、単結晶半導体素基板の片面に絶縁膜を形成する工程と、前記半導体基板の絶縁膜側にイオン遮蔽材を形成する工程と、前記半導体基板の絶縁膜側から半導体基板中にイオンを注入してイオン注入層を形成する工程と、前記半導体基板を前記イオン注入層の部分で分離する工程とを含むことを特徴とするものである。

【0013】

本発明の係る構成によれば、前記イオン遮蔽材の形状と厚さによって、上記注入イオンが半導体基板中への進入深さを制御することができる。すなわち、半導体基板内に形成されるイオン注入層の深さと形状を制御することができるので、上記イオン注入層で分離されて形成される単結晶半導体層を、その層内において異なる厚さを具備するものとすることができる。

【0014】

従来、単結晶半導体層の厚さを層内で異ならしめるためには、一様な厚さの単結晶半導体層のエッチング等の方法で、その後層厚の薄い部分を形成することが必要であった。これに対して、本発明の製造方法によれば、単結晶半導体層の層内に厚さが異なる部位を任意の位置に任意の厚さで1度に形成することができる。その結果、半導体デバイス形成工程における単結晶半導体層の厚さを調整するための工程が不要になり、工程を簡略化することができる。

【0015】

また、単結晶半導体層の特定の領域のみを後から100nm以下に薄膜化する

プロセスは、極めて高度な膜厚制御を必要とするために層厚のばらつきが発生しやすいが、本発明の製造方法によれば、膜厚が異なる部位を一度に形成することができるため、膜厚のばらつきが発生しにくくなる。その結果、工程の管理が容易になるとともに、製品の歩留まりの向上を図ることができる。

【 0 0 1 6 】

上記の半導体基板の製造方法において、前記半導体基板を前記イオン注入層の部分で分離する工程は、前記イオン注入層におけるイオン濃度のピーク位置で前記半導体基板を分離する工程であることが好ましい。

【 0 0 1 7 】

本発明の係る構成によれば、イオン注入により半導体基板中に形成されるイオンの濃度分布において、イオン濃度のピーク位置で半導体基板を分離するので、分離位置をより正確に決定することができる。これにより、形成される単結晶半導体層の層厚をより正確に制御することができる。

【 0 0 1 8 】

上記の半導体基板の製造方法において、イオン遮蔽材を形成する工程は、酸化膜またはレジストからなるイオン遮蔽材を形成する工程と、前記イオン遮蔽材を所定の形状にパターニングする工程とを含むことが好ましい。

【 0 0 1 9 】

本発明の係る構成によれば、イオン遮蔽材として上記に挙げた材料を用いることで効果的にイオンを遮蔽することができるため、イオン遮蔽材が複雑な形状であっても、それに対応する形状のイオン注入層を半導体基板内に形成することができる。そのため、本発明によれば複雑な形状を有する単結晶半導体層を形成することができる。

【 0 0 2 0 】

上記の半導体装置の製造方法において、イオン遮蔽材の外端部の形状は、最外端に向かって細くなるテーパ状であることが好ましい。

【 0 0 2 1 】

本発明の係る構成によれば、イオン注入層において深さが変化する境界を垂直な段差ではなく、ある程度の傾斜角度を有して深さが変化する形状で構成するこ

とができる。

【0022】

つまり、イオン遮蔽材の外端部を垂直な段差とした場合には、半導体基板内のイオン注入層も垂直な段差を有する形状となり、半導体基板を分離する工程において、この段差部分が正確に分離されずに欠陥となることがあるが、上記の構成とすることで上記段差部分における半導体基板の分離を容易にし、半導体基板の分離不良を防止することができる。

【0023】

上記の半導体基板の製造方法において、前記単結晶半導体素基板はシリコンからなるものであることが好ましい。

【0024】

本発明の係る構成によれば、形成される単結晶半導体層がシリコンからなる単結晶シリコン層となるので、この単結晶シリコン層にトランジスタのチャネル領域を形成すれば、トランジスタ特性に優れたシリコントランジスタを形成することが可能となる。尚、単結晶半導体基板としては単結晶シリコン以外にも、単結晶ゲルマニウム等を用いてもよい。

【0025】

上記の半導体基板の支持基板は、光透過性材料からなることが好ましい。

【0026】

本発明の係る構成によれば、支持基板が光透過性を有するため、従来の単結晶シリコン基板を用いる場合と異なり、光透過性の支持基板上に形成された単結晶半導体層を用いて半導体デバイスを形成することが可能となり、例えば支持基板の所定領域を光が透過するとともにそれ以外の領域に半導体デバイスが形成されてなる各種の電気光学装置を製造するなどの応用が可能になる。従って、本発明を適用可能な用途を広げることができる。

【0027】

上記の光透過性材料は、ガラスからなることが好ましい。

【0028】

本発明の係る構成によれば、支持基板としてガラスからなる基板を用いるため

、例えば液晶パネルのように比較的安価で汎用的なデバイスにも本発明を適用することが可能となる。

【 0 0 2 9 】

上記の光透過性材料は、石英からなることが好ましい。

【 0 0 3 0 】

本発明の係る構成によれば、支持基板として石英ガラスからなる基板を用いるため、支持基板の耐熱性が向上し、単結晶半導体層へのデバイスプロセスにおける高温での熱処理などの半導体基板と支持基板との貼り合わせ後の高温プロセスが可能になる。例えば、薄膜トランジスタ等の半導体デバイスの特性を向上させるための熱処理や、熱酸化膜の形成、高温アニール等のプロセスを適用することにより、高性能の半導体デバイスを半導体基板上に形成することができる。

【 0 0 3 1 】

また、上記の課題を解決するために、本発明の半導体基板は、支持基板と、該支持基板の表面に張り合わされた絶縁膜と、該絶縁膜上に形成された単結晶半導体層とを有する半導体基板であって、前記単結晶半導体層が、その層内において異なる厚さを有する構造であることを特徴とするものである。

【 0 0 3 2 】

本発明の係る構成によれば、単結晶半導体層がその層内において厚さの異なる部位を有する構造であるため、例えば単結晶半導体層に形成される半導体デバイスのうち、大電流、高周波で駆動される半導体デバイスは、単結晶半導体層が厚く形成された領域に形成し、低電圧で駆動される半導体デバイスは、単結晶半導体層が薄く形成された領域に形成するという設計が可能になる。すなわち、単結晶半導体層に形成される個々の半導体デバイスに対して最適な半導体層厚を与えることが可能になるので、単結晶半導体層に形成される半導体デバイスの特性を最大限に利用することができる。

【 0 0 3 3 】

上記の課題を解決するために本発明の電気光学装置用半導体基板は、支持基板と、該支持基板の表面に貼り合わされた絶縁膜と、該絶縁膜上に形成された単結晶半導体層とを有する半導体基板であって、前記単結晶半導体層の画像表示領域

に画素配列に対応してマトリクス状に配置された複数の第1スイッチング素子と、前記画像表示領域の周辺に位置する周辺領域に配置されており周辺回路を少なくとも部分的に構成する複数の第2スイッチング素子とを備え、前記第1スイッチング素子が形成されている画像表示領域の単結晶半導体層の厚さは、前記第2スイッチング素子が形成されている周辺領域よりも薄いことを特徴とするものである。

【 0 0 3 4 】

本発明の係る構成によれば、画像表示領域の単結晶半導体層の厚さを、周辺領域よりも薄く形成しているため、画像表示領域に形成される第1スイッチング素子においては、光の入射による光電効果で発生するリーク電流を抑制することができ、かつ周辺領域においては、半導体層のシート抵抗を低く抑えることができるので、大電流駆動や高周波駆動させる状況下においても特性が劣化し難い第2のスイッチング素子を形成することができる。そのため、電気光学装置の信頼性を高めることができる。

【 0 0 3 5 】

上記の電気光学装置用半導体基板ににおいて、前記周辺回路は、駆動回路からなるものであることが好ましい。

【 0 0 3 6 】

本発明の係る構成によれば、周辺回路を、例えば走査線駆動回路やデータ線駆動回路などの駆動回路とすることで、これを構成する第2スイッチング素子は大電力駆動や高周波駆動されるため、本発明による周辺回路のシート抵抗低減効果が極めて有効に作用する。

【 0 0 3 7 】

上記の課題を解決するために本発明の電子機器は、光源と、前記光源から出射される光が入射されて画像情報に対応した変調を施す、上記の電気光学装置と、前記電気光学装置により変調された光を投射する投射手段とを具備することを特徴とするものである。

【 0 0 3 8 】

本発明の係る構成によれば、上記の本発明の電気光学装置を備えているので、

表示領域においては高精細の表示が可能で、かつ光リーク電流が抑制されて信頼性に優れており、また、周辺領域においては周辺回路の安定的な大電流駆動や講習白銅が可能である。これらの結果高品位の画像表示が可能で装置信頼性の高いプロジェクタ等の電子機器を実現できる。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

【0040】

(半導体基板の製造方法)

図1は本発明の一実施の形態である半導体基板の製造工程を示す部分断面構成図であり、(a)～(e)は工程順を示す。

【0041】

まず、図1(a)に示すように、半導体基板1上に絶縁膜2を形成する。絶縁膜2の形成方法には、特に限定されるものではないが、酸素イオン注入によって埋め込み絶縁層を形成する方法、あるいは半導体基板1の表面を熱酸化する方法、あるいは半導体基板1の片面にCVD法により酸化層を形成する方法などが挙げられる。尚、上記絶縁膜2は、半導体基板1が例えば厚さ300 μ m～900 μ mのシリコン基板であれば、400nm～800nmの厚さとすることが好ましい。

【0042】

次に、図1(b)に示すように、絶縁膜2の表面の所定の領域に、イオン遮蔽材3を形成する。このイオン遮蔽材3として用いられる材料には、レジスト、金属およびその酸化物、あるいは金属シリサイド等を挙げることができ、後に述べる工程において絶縁膜2側から注入されるイオンの種類や目的とする単結晶半導体層の厚さ等により最適なものを選択し、単独もしくは複数を組合わせて用いればよい。また、イオン遮蔽材3の形成方法としては、レジストをリソグラフィ技術によって選択的に形成してイオン遮蔽材とする方法や、リソグラフィ技術及びドライエッチング技術を用いてW、Alなどの金属膜、酸化膜、金属シリサイド膜を選択的に形成してイオン遮蔽材3とする方法などを挙げることができる。

【 0 0 4 3 】

また、イオン遮蔽材 3 の厚さも、イオン遮蔽材 3 の材質あるいは目的とする単結晶半導体層の厚さ等により異なるものであるが、具体的に一例を挙げるならば、イオン遮蔽材 3 の材料として例えば酸化シリコン膜を用い、注入イオンとして例えば水素イオンを用いる場合、イオン遮蔽材 3 の厚さは 1 5 0 n m 程度とすれば、後述する如く厚さ 2 0 0 n m の単結晶半導体層内に深さ 1 5 0 n m 程度の凹部を有する構造の半導体基板を製造することができる。

【 0 0 4 4 】

次に、図 1 (b) に示すように、イオン遮蔽材 3 側からイオン 4 を絶縁体層 2 が形成された半導体基板 1 に注入する。この時、イオン遮蔽材 3 を通過して注入されたイオン 4 は、イオン遮蔽材 3 により減速されるために、イオン遮蔽材 3 を通過せずに半導体基板 1 に注入されたイオン 4 と比較して半導体基板 1 への進入深さが小さくなる。この作用により、図 1 (b) の点線で示すように、イオン遮蔽材 3 の形状に相当する進入深さ分布を備えるイオン注入層が半導体基板 1 の内部に形成される。すなわち、絶縁膜 2 上に設けられたイオン遮蔽材 3 が厚い部分には浅いイオン注入層 1 b が形成され、イオン遮蔽材 3 が薄い部分、あるいはイオン遮蔽材 3 が設けられていない部分には深いイオン注入層 1 a が形成される。

【 0 0 4 5 】

この時のイオン注入条件は例えば、加速エネルギー 1 0 0 k e V 、ドーズ量 $5 \times 10^{16} \text{ cm}^{-2} \sim 10 \times 10^{16} \text{ cm}^{-2}$ である。より具体的に述べるならば、半導体基板 1 として単結晶シリコン基板を用い、イオン遮蔽材 3 として 1 5 0 n m のシリコン酸化膜を用い、イオン遮蔽材 3 を介してイオン注入された部分で形成される単結晶半導体層の厚さを 5 0 n m とする場合には、加速エネルギー 1 0 0 k e V 、ドーズ量 $10 \times 10^{16} \text{ cm}^{-2}$ に設定すればよい。

【 0 0 4 6 】

上記のイオン注入条件は、一例として挙げたものであり、作製しようとする単結晶半導体層の厚さ、イオン遮蔽材 3 の材質などにより最適な条件が選択されることはもちろんである。

【 0 0 4 7 】

次に、絶縁膜 2 側に配設されているイオン遮蔽材 3 をエッチング等の公知の手段により除去する。また、イオン遮蔽材 3 を除去した後の絶縁膜 2 の表面は、CMP (Chemical Mechanical Polishing) 等の手段により清浄化及び／または平坦化しておくことが好ましい。

【0048】

次に、図 1 (c) に示すように、支持基板 5 の片面に CVD 法、熱酸化法などにより絶縁膜 6 を形成したものと、上記半導体基板 1 を、絶縁膜 2 と絶縁膜 6 が接合面となるように貼り合わせる。尚、この絶縁膜 6 は、半導体基板 1 と、支持基板 5 の密着性を確保するために設けられるものであり、必要に応じて支持基板 5 の片面に形成すればよい。支持基板 5 には、シリコン、ガラス、石英ガラスなどからなるものを用いることができ、場合によっては可とう性を有する基板であっても構わない。支持基板 5 として、ガラスや石英ガラスなどの光透過性材料からなる基板を用いるならば、本発明を透過型の電気光学装置などへの応用することが可能になる。

【0049】

また、上記支持基板 5 と絶縁膜 6 の間に、モリブデン、タンゲステンなどからなる熱伝導性膜をスパッタ法などの成膜法により形成した構成とすることも可能である。このような構成とするならば、上記絶縁膜下に設けられた熱伝導性膜により支持基板 5 の温度分布が改善される。例えば、支持基板 5 と半導体基板 1 を貼り合わせる工程においては、この熱伝導性膜によって貼り合わせ界面の温度分布が均一化するので、この界面での貼り合わせが均一になり、貼り合わせ強度を向上させることができる。さらに、透過型の電気光学装置などに応用する場合にはこの熱伝導性膜は遮光層として機能させることができる。尚、この熱伝導性膜に用いることができる材料は上記に挙げたもの以外にも、タンタル、コバルト、チタン等の高融点金属またはそれらを含む合金、もしくは多結晶シリコン、タンゲステンシリサイド、モリブデンシリサイド等に代表されるシリサイドを好ましい材料として挙げるができる。また、成膜法もスパッタ法その他、CVD 法や電子ビーム蒸着法等の成膜法を用いることができる。

【0050】

次に、上記半導体基板1と支持基板5を貼り付けたものを、400℃～600℃の低温にてアニールする。この熱処理により半導体基板1は、図1(d)に示すように、前記イオン注入層1a、1bの位置で容易に分離される。この現象は半導体基板1内に導入されたイオンにより半導体基板1を構成する半導体結晶の結合が分断されるために生じるものであり、イオン注入層1a、1bにおけるイオン濃度のピーク位置でより顕著なものとなる、従って熱処理により分離される位置は、前記イオン濃度のピーク位置と同一となる。このようにして支持基板5上に絶縁膜と、層内に異なる厚さの部位を有する単結晶半導体層とが形成された図1(e)に示す半導体基板7が得られる。この半導体基板7の単結晶半導体層1cは、例えば層厚200nmである場合、5%以内の層厚の均一性のものが得られる。尚、上記の分離により露出した単結晶半導体層1cの表面は数nm程度の凹凸を有するため、研削量10nm以下のタッチポリッシュを行うことにより単結晶半導体層1cの表面の平坦化を行うか、若しくは水素雰囲気中で熱処理を行う水素アニール法によって表面の平坦化しておくことが好ましい。

【0051】

以上の工程により、部位により厚さを異ならしめた単結晶半導体層1bを有する半導体基板7を製造することができる。尚、本実施の形態では、1枚の半導体基板7を作製する例について説明したが、実用的には複数の半導体基板を作製することができる大型の製造用支持基板を用いて上記のプロセスは行われる。そして、半導体基板の作製後あるいは、半導体基板上に半導体デバイスが形成された後に個々の半導体基板に切断される。このような製造プロセスを採用することで、より効率的で、製品のばらつきが小さい製造を行うことができるので、歩留まりの向上を図ることができる。

【0052】

上記の半導体基板の製造方法によれば、単結晶基板と同程度の欠陥の少ない極めて高品質な単結晶半導体層を得ることができるため、半導体基板上に高速なデバイスを形成することが可能になる。加えて、この単結晶半導体層へのデバイスの形成においては従来から用いられている単結晶基板へのプロセスが適用可能であるため、何ら新たなプロセスを追加することなく高性能な半導体デバイスを形

成することができる。そのため、本発明に係る半導体基板の製造方法を採用するならば、半導体デバイスの製造プロセスにおけるコストの増加を抑制することができる。

【 0 0 5 3 】

また、S O I 構造を有する半導体基板の単結晶半導体層の厚さを任意の位置で制御して半導体基板を製造することができるため、例えば本発明の半導体基板の製造方法を適用して液晶装置を作製する場合においては、半導体基板の画素が形成される領域と周辺回路が形成される領域の単結晶半導体層の厚さをそれぞれ独立して決定して形成することができる。すなわち、画素形成領域においては、単結晶半導体層を薄く形成することにより、画素を駆動する半導体デバイスにおいて光の照射により励起される電子正孔対の生成を抑制してリーク電流を抑えることができる。また、周辺の駆動回路が形成される領域においては、単結晶半導体層を厚く形成することによりシート抵抗を小さくすることができるので、大電流駆動、高周波駆動される駆動回路の形成に有利である。

【 0 0 5 4 】

また、上記の半導体基板の製造方法によれば、単結晶半導体層の厚さの調整をイオン注入工程で自在に行うことができるので、一様な厚さの単結晶半導体層を形成した後に必要な部分の層厚を薄くする手法と比較して工数を削減することが可能になり、S O I 構造を有する半導体基板の製造コストの低減が図れる。

【 0 0 5 5 】

本実施の形態においては、図 1 (b) に示すように、一様な厚さを有するイオン遮蔽材 3 を絶縁膜 2 上に形成する例を示したが、イオン遮蔽材 3 の外端部の形状を、最外端に向かって細くなるテーパ状にして用いることもできる。このような形状のイオン遮蔽材 3 を用いるならば、イオン注入層 1 a の深さが変化する境界部分を垂直な段差ではなく、ある程度の傾斜角度を有して深さが変化するような形状とすることができる。すなわち、前記単結晶半導体基板 1 の分離に際して半導体層の面に垂直な面で分離される部分がなくなるため、単結晶半導体基板 1 の分離がより容易なものとなり、分離の際の不良の発生を抑えて製品の歩留まりの向上を図ることができる。

【0056】

また、図1（b）に示す工程においては、部位により厚さの異なるイオン遮蔽材3を用いることもできる。このような構造のイオン遮蔽材3を用いるならば、部位によって厚さの異なる、より複雑な形状のイオン注入層を形成することができるため、より複雑な形状を有する単結晶半導体層1cを形成することが可能になる。

【0057】

また、イオン遮蔽材3を介してイオン注入を行った後にイオン遮蔽材3を除去し、更にもう一度イオン注入を行うことにより、イオン注入層1a、1bの深さを変化させることもできる。上記に示したいずれの方法を用いるにしても、本発明によればイオン注入層1a、1bの深さを部位により制御することができる。

【0058】

本実施の形態においては、単結晶半導体層の層厚を制御する手法について説明したが、本発明によれば、単結晶半導体層の面内における形状も同時に制御することが可能である。すなわち、図1（b）に示すイオン遮蔽材3の面内における形状を変化させることにより、形成される単結晶半導体層1cの面内の形状を変化させることができる。例えば、絶縁膜2上にレジストを塗布し、このレジストをパターニングすることによって形成されたレジストパターンをイオン遮蔽材3として用いることにより、イオン注入層の面内の形状を制御することができる。より具体的な例を挙げるならば、単結晶半導体層にTFT（薄膜トランジスタ）を形成する場合には、ソース／ドレイン領域を形成するために半導体層をパターニングする必要があるが、本発明によれば、半導体層を予めソース／ドレイン領域が形成可能な形状に半導体層をパターニングしておくことができる。これにより、TFTなどの半導体デバイスを半導体層に形成する工程を簡略化することが可能になる。尚、このイオン遮蔽材3のパターニングは、イオン遮蔽材3としてレジスト以外の材料を用いる場合であっても、公知のリソグラフィ技術やエッチング技術を用いることにより行うことが可能であり、複数の材料を組み合わせるイオン遮蔽材3を形成するならば、より複雑な形状を有する単結晶半導体層1cを形成することが可能になる。

【 0 0 5 9 】

(液晶装置)

以下に、本発明の半導体基板の製造方法により製造された半導体基板を用いた電気光学装置の好適な例である液晶装置について、図 2 ～ 図 7 を参照して説明する。図 2 は、本例の液晶装置の画像表示領域を構成する複数の画素における各種素子、配線等の等価回路である。図 3 は、第 1 スイッチング素子の一例である T F T とともにデータ線、走査線、画素電極などが形成された T F T アレイ基板における隣接する複数の画素群の平面図である。図 4 の左側は T F T 部を示す図 2 の B - B' 線に沿う断面図であり、同右側は蓄積容量を示す図 2 の A - A' 線に沿う断面図である。図 5 は、T F T アレイ基板 2 7 をその上に形成された各構成要素とともに対向基板 3 5 の側から見た平面図である。図 6 は、第 2 スイッチング素子の一例である駆動回路等の周辺回路を構成する T F T の構成を示す平面図である。尚、以下の各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材ごとに縮尺を異ならしめてある。

【 0 0 6 0 】

図 2 に示すように、本例の液晶装置の画像表示領域を構成するマトリクス状に配置された複数の画素は、画素電極 2 1 と当該画素電極 2 1 を制御するための第 1 スイッチング素子としての T F T 2 2 がマトリクス状に複数形成されており、画像信号を供給するデータ線 2 3 (信号線) が当該 T F T 2 2 のソース領域に電氣的に接続されている。データ線 2 3 に書き込む画像信号 S 1、S 2、…、S n は、この順に線順次に供給しても構わないし、相隣接する複数のデータ線 2 3 同士に対して、グループ毎に供給するようにしても良い。また、T F T 2 2 のゲート電極に走査線 2 4 (信号線) が電氣的に接続されており、所定のタイミングで走査線 2 4 に対してパルスの操作信号 G 1、G 2、…、G m を、この順に線順次で印加するように構成されている。画素電極 2 1 は、T F T 2 2 のドレイン領域に電氣的に接続されており、(第 1) スイッチング素子である T F T 2 2 を一定期間だけそのスイッチを閉じることにより、データ線 2 3 から供給される画像信号 S 1、S 2、…、S n を所定のタイミングで液晶に書き込む。

【 0 0 6 1 】

画素電極 2 1 を介して液晶に書き込まれた所定レベルの画像信号 S 1、S 2、
 …、S n は、対向基板（後述する）に形成された対向電極（後述する）との間で
 一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために
 、画素電極 2 1 と対向電極との間に形成される液晶容量と並列に蓄積容量部 2 5
 を付加する。符号 2 6 は、蓄積容量を成す MOS トランジスタのゲート線に相当
 する容量線である。この蓄積容量部 2 5 により、画素電極 2 1 の電圧はソース電
 圧が印加された時間よりも 3 桁も長い時間だけ保持される。これにより、保持特
 性はさらに改善され、コントラスト比の高い液晶装置を実現することができる。
 尚、蓄積容量部を形成する方法としては、容量線 2 6 を設ける代わりに、前段の
 走査線 2 4 との間で容量を形成しても良い。

【 0 0 6 2 】

図 3 に示すように、液晶装置の一方の基板をなす TFT アレイ基板 2 7 上には
 、インジウム錫酸化物（ITO）等の透明導電膜からなる複数の画素電極 2 1 （
 輪郭を破線で示す）がマトリクス状に配置されており、画素電極 2 1 の紙面縦方
 向に延びる辺に沿ってデータ線 2 3 （輪郭を 2 点鎖線で示す）が設けられ、紙面
 横方向に延びる辺に沿って走査線 2 4 及び容量線 2 6 （ともに輪郭を実線で示す
 ）が設けられている。本例の液晶装置において単結晶シリコン層からなる半導体
 層 2 8 （輪郭を 1 点鎖線で示す）は、データ線 2 3 と走査線 2 4 の交差点の近傍
 で U 字状に形成され、その U 字状部 2 8 a の一端が隣接するデータ線 2 3 の方向
 （紙面右方向）及び当該データ線 2 3 に沿う方向（紙面上方向）に長く延びてい
 る。半導体層 2 8 の U 字状部 2 8 a の両端にはコンタクトホール 2 9、3 0 が形
 成されており、一方のコンタクトホール 2 9 はデータ線 2 3 と半導体層 2 8 のソ
 ース領域とを電氣的に接続するソースコンタクトホールとなり、他方のコンタ
 クトホール 3 0 はドレイン電極 3 1 （輪郭を 2 点鎖線で示す）と半導体層 2 8 のド
 レイン領域とを電氣的に接続するドレインコンタクトホールとなっている。ドレ
 イン電極 3 1 上のドレインコンタクトホール 3 0 が設けられた側の端部には、ド
 レイン電極 3 1 と画素電極 2 1 とを電氣的に接続するための画素コンタクトホー
 ル 3 2 が形成されている。

【 0 0 6 3 】

図 3 に示す本例の T F T 2 2 は、n チャネル型 T F T であって、半導体層 2 8 の U 字状部 2 8 a が、走査線 2 4 と交差しており、半導体層 2 8 と走査線 2 4 が 2 回交差していることになるため、1 つの半導体層上に 2 つのゲートを有する T F T、いわゆるデュアルゲート型 T F T を構成している。また、容量線 2 6 は走査線 2 4 に沿って紙面横方向に並ぶ画素を貫くように延びるとともに、分岐した一部 2 6 a がデータ線 2 3 に沿って長く延びる半導体層 2 8 と容量線 2 6 とによって蓄積容量部 2 5 が形成されている。

【 0 0 6 4 】

本例の液晶装置は、図 4 に示すように一対の透明基板 3 3、3 4 を有しており、その一方の基板をなす T F T アレイ基板 2 7 と、これに対向配置される他方の基板をなす対向基板 3 5 とを備え、これら基板 2 7、3 5 間に液晶 3 6 が挟持されている。透明基板 3 3、3 4 は、例えばガラス基板や石英基板からなるものである。

【 0 0 6 5 】

図 4 の左側に示す T F T 部においては、T F T アレイ基板 2 7 上に下地絶縁膜 3 7 が設けられ、下地絶縁膜 3 7 上には、例えば層厚 5 0 n m 程度の単結晶シリコン層からなる半導体層 2 8 が設けられ、この半導体層 2 8 を覆うように膜厚 5 0 ~ 1 5 0 n m 程度のゲート絶縁膜をなす絶縁薄膜 3 8 が全面に形成されている。下地絶縁膜 3 7 上には各画素電極 2 1 をスイッチング制御する T F T 2 2 が設けられ、T F T 2 2 は、タンタル等の金属からなる走査線 2 4、当該走査線 2 4 からの電解によりチャネルが形成される半導体層 2 8 のチャネル領域 3 9、走査線 2 4 と半導体層 2 8 とを絶縁するゲート絶縁膜をなす絶縁薄膜 3 8、アルミニウム等の金属からなるデータ線 2 3、半導体層 2 8 のソース領域 4 0 及びドレイン領域 4 1 を備えている。

【 0 0 6 6 】

図 4 の右側に示す蓄積容量部 2 5 の部分において、T F T アレイ基板 2 7 上には下地絶縁膜 3 7 が設けられ、下地絶縁膜 3 7 上には半導体層 2 8 が設けられ、この半導体層 2 8 を覆うように絶縁薄膜 3 8 (誘電体膜) が全面に形成されている。絶縁薄膜 3 8 上に、走査線 2 4 と同一レイヤーの金属からなる容量線 2 6 が

形成され、容量線 2 6 を覆うように第 1 層間絶縁膜 4 2 が全面に形成されている。第 1 層間絶縁膜 4 2 上にドレイン電極 3 1 が形成されている。そして、第 2 層間絶縁膜 4 3 を貫通してドレイン電極 3 1 表面に達する画素コンタクトホール 3 2 が設けられ、画素コンタクトホール 3 2 の部分でドレイン電極 3 1 に電氣的に接続される I T O 等の透明導電膜からなる画素電極 2 1 が設けられている。尚、第 2 層間絶縁膜 4 3 は平坦化膜として用いられるものであり、例えば平坦性の高い樹脂膜の一種であるアクリル膜が $2\mu\text{m}$ 程度に厚く形成される。

【 0 0 6 7 】

他方、対向基板 3 5 上には、例えば、クロム等の金属膜、樹脂ブラックレジスト等からなる第 1 遮光膜 4 4 (ブラックマトリクス) が格子状に形成され、第 1 遮光膜 4 4 間には R (赤)、G (緑)、B (青) の 3 原色に対応するカラーフィルタ層 4 5 が形成されている。カラーフィルタ層 4 5 を覆うようにオーバーコート膜 4 6 が形成され、オーバーコート膜 4 6 上には、画素電極 2 1 と同様、I T O 等の透明導電膜からなる対向電極 4 7 が全面に形成されている。尚、T F T アレイ基板 2 7、対向基板 3 5 とともに液晶 3 6 に接する面にはポリイミド等からなる配向膜 4 8、4 9 がそれぞれ設けられている。

【 0 0 6 8 】

図 5 において、T F T アレイ基板 2 7 の上には、シール材 5 4 がその縁に沿って設けられており、その内側に並行して、遮光性材料からなる周辺見切り 5 5 が設けられている。シール材 5 4 の外側の領域には、データ線駆動回路 5 6 および実装端子 5 7 が T F T アレイ基板 2 7 の一辺に沿って設けられており、走査線駆動回路 5 8 が、この一辺に隣接する 2 辺に沿って設けられている。走査線に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 5 8 は片側だけでもよいことは言うまでもない。また、データ線駆動回路 5 6 を画面表示領域の辺に沿って両側に配置してもよい。例えば奇数列のデータ線は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。このようにデータ線 2 3 を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため

、複雑な回路を構成することが可能となる。更にTFTアレイ基板27の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路58間を結ぶための複数の配線59が設けられている。また、対向基板35のコーナー部の少なくとも1箇所には、TFTアレイ基板27と対向基板35との間で電氣的導通をとるための上下導通材61が設けられている。そして、シール材54とほぼ同じ輪郭を有する対向基板35が当該シール材54によりTFTアレイ基板27に固着されている。

【0069】

図6は、図5に示す走査線駆動回路58およびデータ線駆動回路56等の周辺回路を構成する第2スイッチング素子の一例としてのTFTの構成を示す平面図である。この図において、周辺回路を構成するTFTは、pチャネル型のTFT62pとnチャネル型のTFT62nとからなる相補型TFT62として構成されている。TFT62pとTFT62nを構成する半導体層70（輪郭を点線で示す）は、基板上に形成された下地絶縁膜37を介して島状に形成されており、この半導体層70にはチャネル領域等が形成されている。TFT62p及びTFT62nには、高電位線71と低電位線72がコンタクトホール63及び64を介して半導体層70に形成されたソース領域に電氣的にそれぞれ接続されており、入力配線66がゲート電極65にそれぞれ接続されており、出力配線67がコンタクトホール68及び69を介して半導体層70に形成されたドレイン領域に電氣的にそれぞれ接続されている。

【0070】

以上の構成の液晶装置においては、図3及び図4に示す画素を構成するTFT22の半導体層28の層厚が、図5に示すデータ線駆動回路56及び走査線駆動回路58を構成するTFT62の半導体層70よりも薄くなるように形成されたTFTアレイ基板27が用いられている。これにより、画素の半導体層28においては、外部からの光の照射による電子正孔対の生成量を低減できることにより、リーク電流による誤動作等を防止することができる。また、駆動回路56、58の半導体層70においては、半導体層が厚いためにシート抵抗が減少するので、上記駆動回路56、58の大電流駆動、高周波駆動が可能になり、より高性能

な液晶表示装置を提供することができる。

【0071】

また、上記の液晶装置には本発明にかかる半導体基板が適用されているが、先述の支持基板と絶縁膜との間に熱伝導性膜を挿入した構成の半導体基板を用いることもできる。このような構成の半導体基板を用いて液晶装置を構成するならば、例えば、大電流駆動、高周波駆動される駆動回路56、58から発生する熱を、この熱伝導性膜へと効率的に排出することができるので、誤動作を防止することができ、より信頼性の高い液晶装置とすることができる。また、上記の熱伝導性膜を遮光性材料で構成することにより、画素や駆動回路を構成する半導体装置への外部からの光の照射による光リーク電流の生成を防ぐことができるので、さらに信頼性の高い液晶装置とすることができる。

【0072】

上記の液晶装置のTFTアレイ基板27上には、更に製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、対向基板35の投射光が入射する側及びTFTアレイ基板27の出射光が出射する側には各々、例えばTN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（デュアルスキャン-STN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方角で配置される。

【0073】

以上説明した液晶装置は、例えばカラー液晶プロジェクタ（投射型表示装置）に適用される場合には、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、その場合には上記実施の形態で示したように、対向基板35に、カラーフィルタは設けられていない。しかしながら、対向基板35において画素電極に対向する所定領域にRGBのカラーフィルタをその保護膜とともに形成してもよい。このような構成とするならば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施の形態における液晶装置を適用することができる。更

に、対向基板 3 5 上に 1 画素に 1 個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上させることができるので、明るい液晶装置が実現できる。更にまた、対向基板 3 5 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【 0 0 7 4 】

(電子機器)

更に、本発明の液晶装置は、様々な電子機器に用いることが可能である。

【 0 0 7 5 】

このような構成の電子機器の一例として、図 7 に示す液晶プロジェクタを挙げることができる。あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置などを挙げることができる。

【 0 0 7 6 】

図 7 は、投写型表示装置の要部を示す概略構成図である。図中、1 1 0 は光源、1 1 3, 1 1 4 はダイクロイックミラー、1 1 5, 1 1 6, 1 1 7 は反射ミラー、1 1 8, 1 1 9, 1 2 0 はリレーレンズ、1 2 2, 1 2 3, 1 2 4 は本発明の液晶装置を用いた液晶ライトバルブ、1 2 5 はクロスダイクロイックプリズム、1 2 6 は投写レンズを示す。光源 1 1 0 はメタルハライド等のランプ 1 1 1 とランプの光を反射するリフレクタ 1 1 2 とからなる。青色光・緑色光反射のダイクロイックミラー 1 1 3 は、光源 1 1 0 からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー 1 1 7 で反射されて、赤色光用液晶ライトバルブ 1 2 2 に入射される。一方、ダイクロイックミラー 1 1 3 で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー 1 1 4 によって反射され、緑色光用液晶ライトバルブ 1 2 3 に入射される。一方、青色光は第 2 のダイクロイックミラー 1 1 4 も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ 1 1 8、リレーレンズ

119、出射レンズ120を含むリレーレンズ系からなる導光手段121が設けられ、これを介して青色光が青色光用液晶ライトバルブ124に入射される。

【0077】

各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム125に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投写光学系である投写レンズ126によってスクリーン127上に投写され、画像が拡大されて表示される。この各液晶ライトバルブには本発明の液晶装置が用いられる。

【0078】

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

【0079】

【発明の効果】

以上、詳細に説明したように、本発明の半導体基板の製造方法によれば、単結晶半導体層の厚さを層内で異ならしめた半導体基板が得られる。

【0080】

また本発明によれば、上記の半導体基板の製造方法を適用した液晶装置が得られる。

【0081】

また本発明によれば、上記の液晶装置を適用した電子機器が得られる。

【図面の簡単な説明】

【図1】 図1は、本発明に係る半導体基板の製造工程を示す断面構成図である。

【図2】 図2は、本発明に係る液晶装置の等価回路図である。

【図3】 図3は、本発明に係る液晶装置の画素構成を示す拡大平面図である。

【図4】 図4は、図3のA-A'線及びB-B'線に沿う断面図である。

【図 5】 図 5 は、本発明に係る液晶装置の全体構成を示す平面図である。

【図 6】 図 6 は、本発明の液晶装置の周辺回路に用いられる T F T の拡大平面図である。

【図 7】 図 7 は、本発明の液晶装置を用いた電子機器である投射型表示装置の構成例を示すブロック図である。

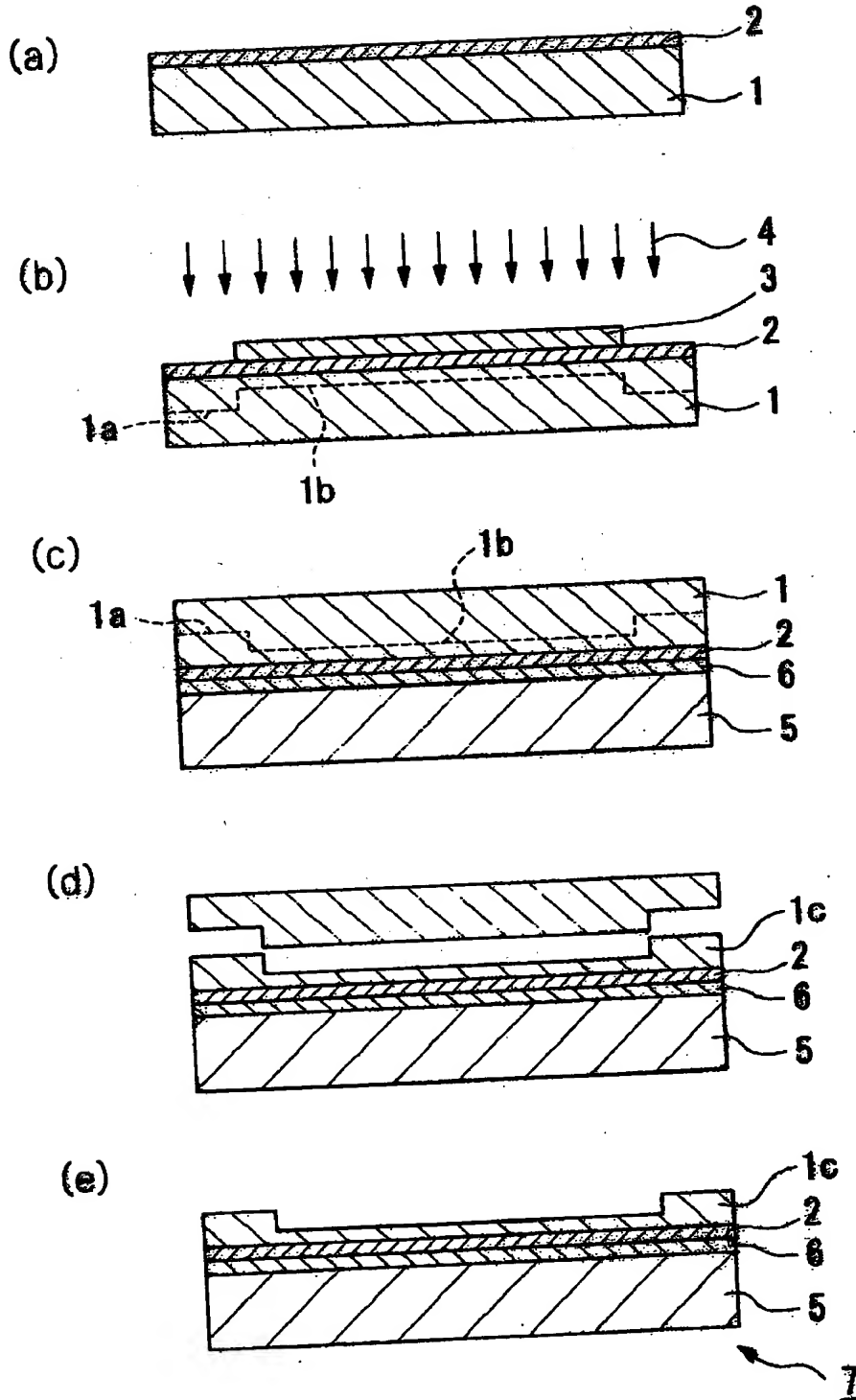
【符号の説明】

- 1 半導体基板
- 1 a、1 b イオン注入層
- 1 c 単結晶半導体層
- 2、6 絶縁膜
- 3 イオン遮蔽材
- 4 イオン
- 5 支持基板
- 7 半導体基板
- 2 1 画素電極
- 2 2 薄膜トランジスタ (T F T : 第 1 スイッチング素子)
- 6 2 薄膜トランジスタ (T F T : 第 2 スイッチング素子)
- 2 3 データ線
- 2 4 走査線
- 2 5 蓄積容量部
- 2 6 容量線
- 2 7 T F T アレイ基板
- 2 8、7 0 半導体層
- 3 5 対向基板
- 3 6 液晶
- 3 8 絶縁薄膜 (誘電体膜)

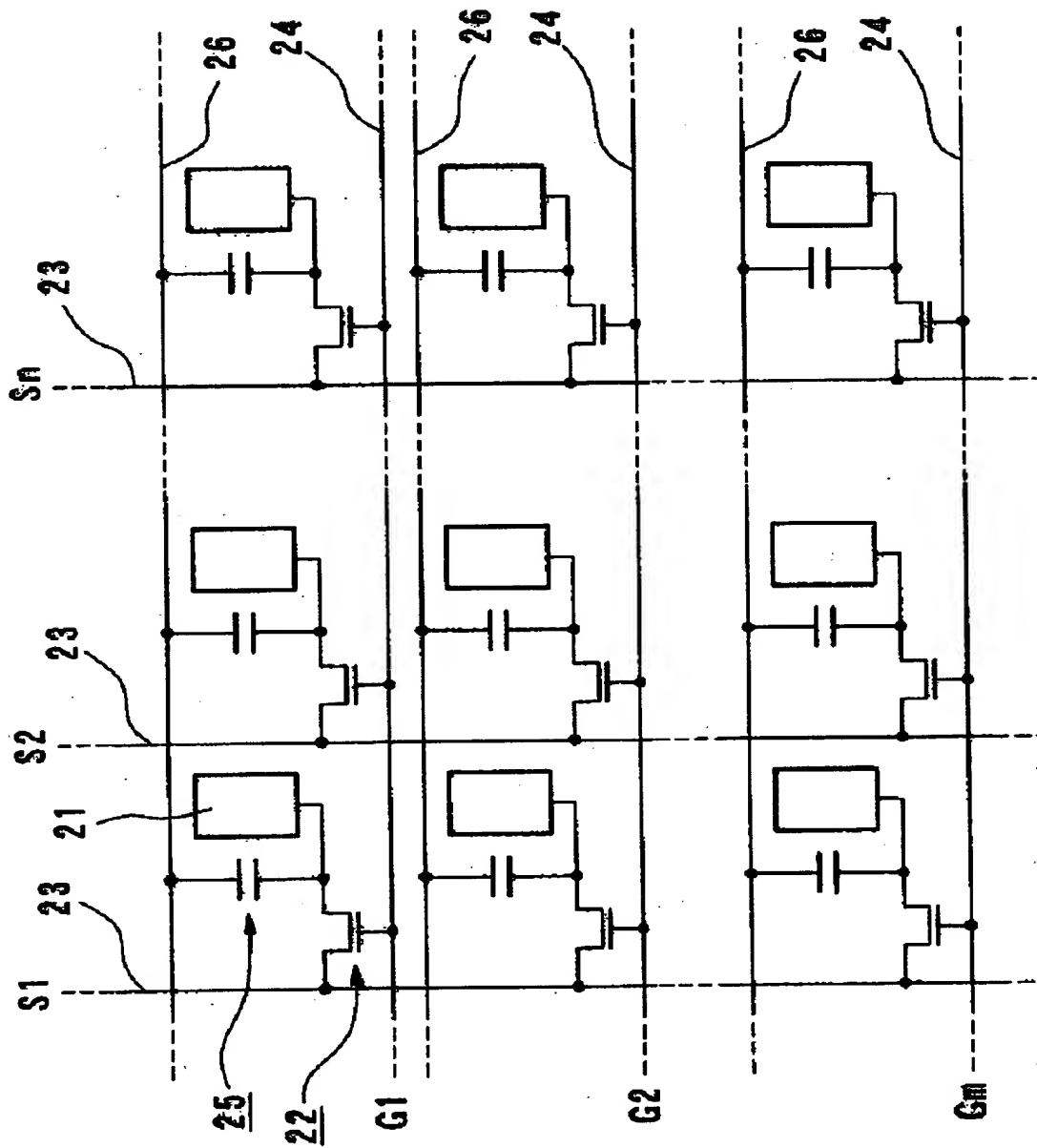
【書類名】

図面

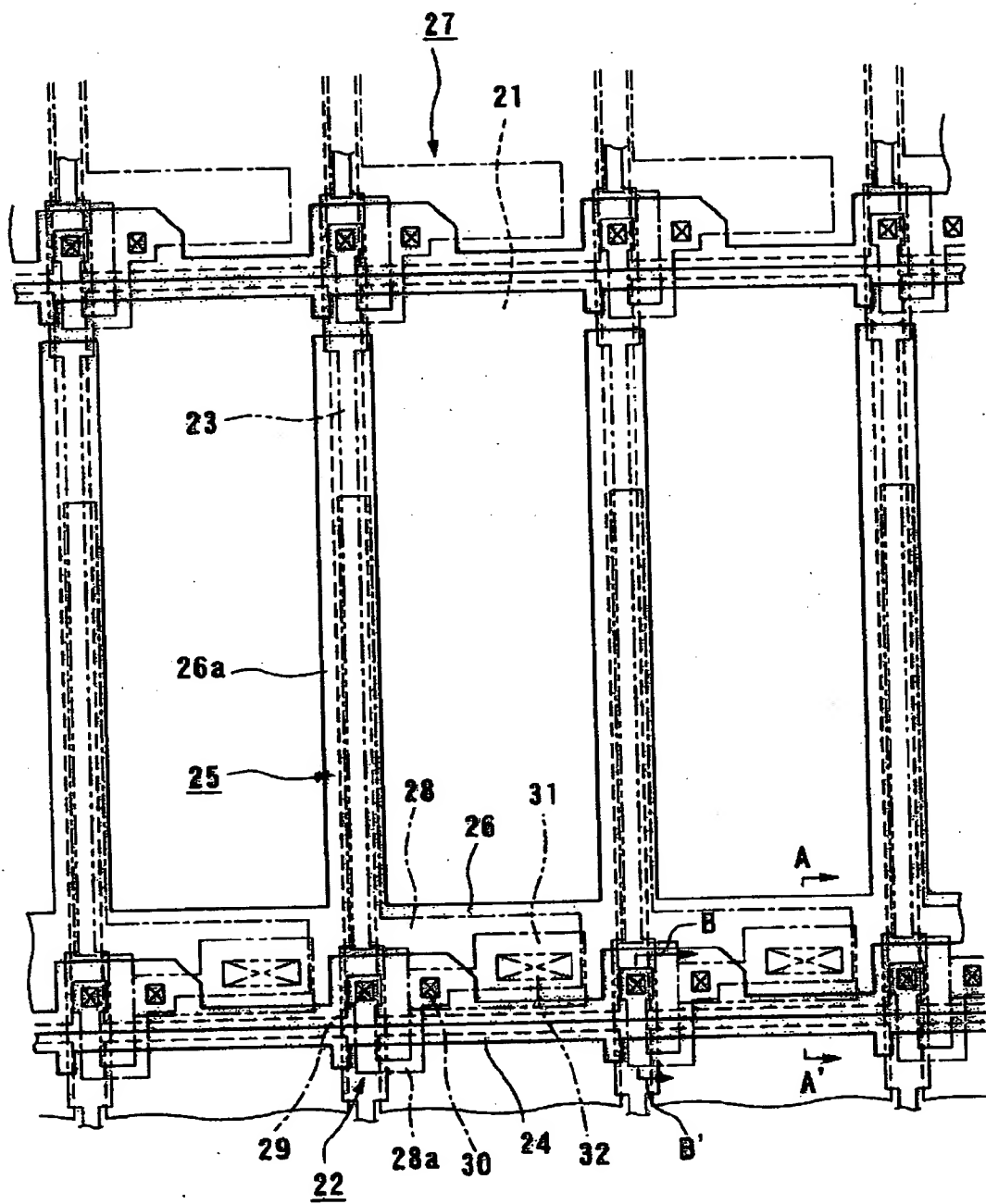
【図 1】



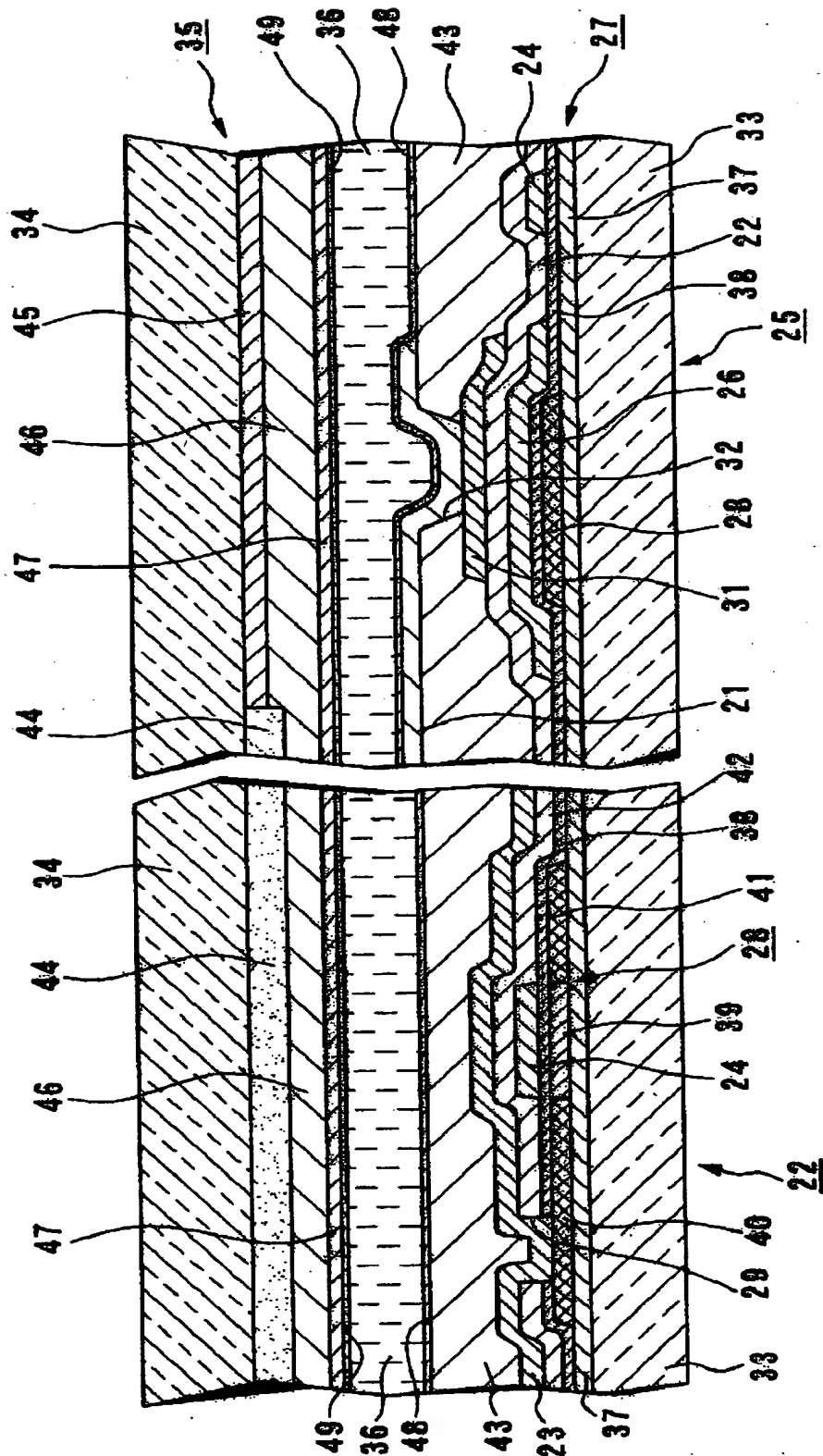
【図2】



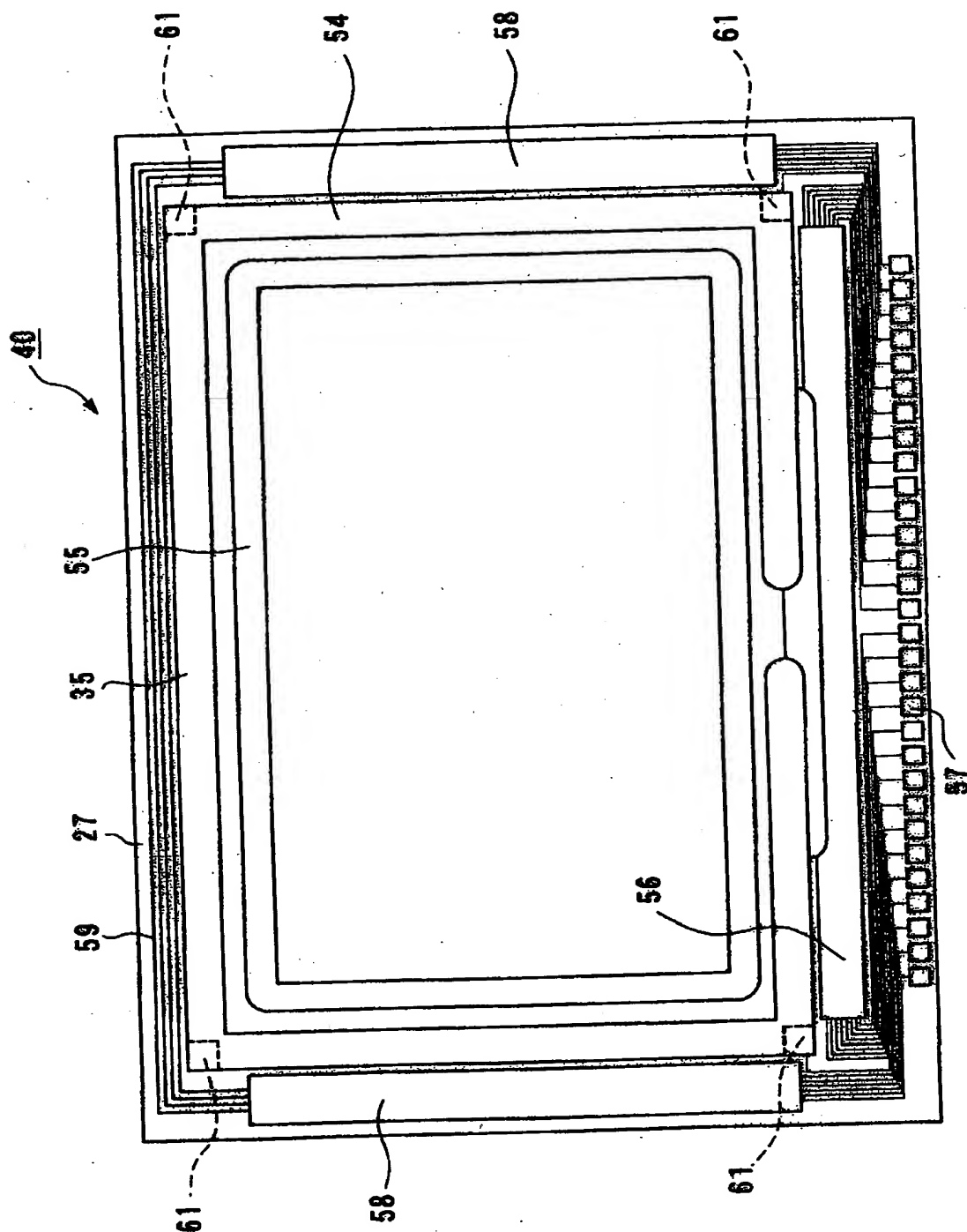
【図3】



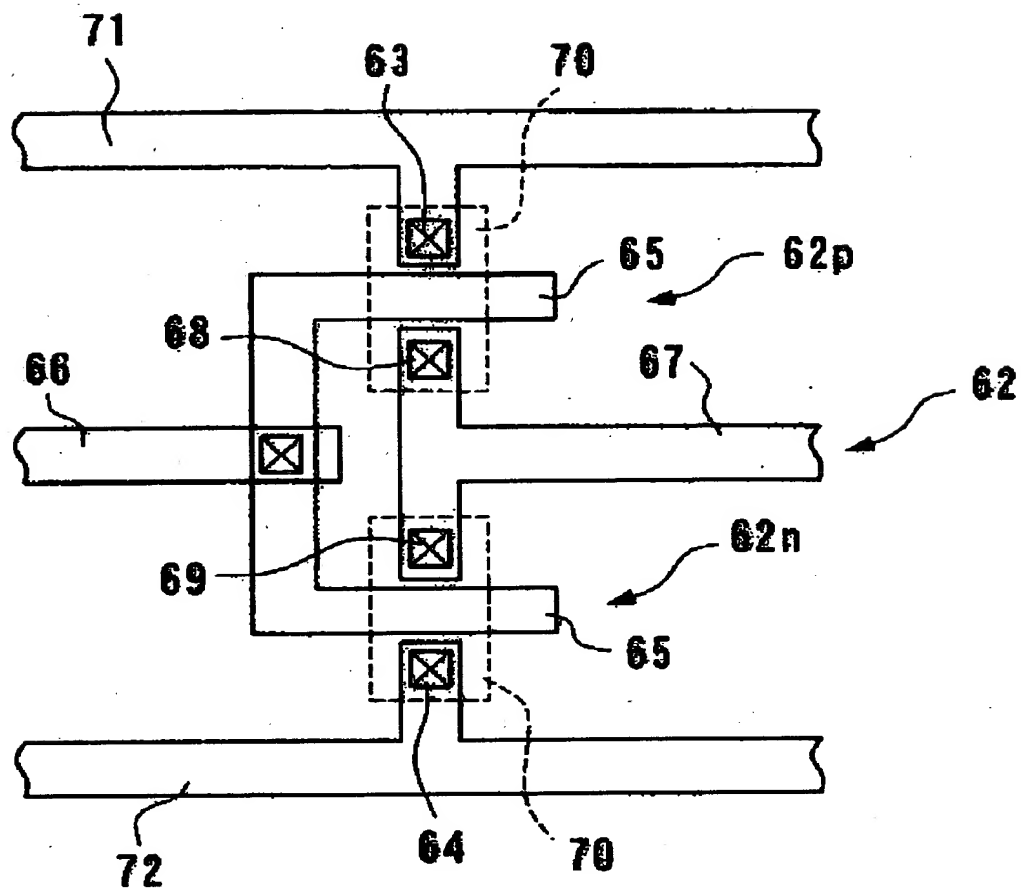
【図4】



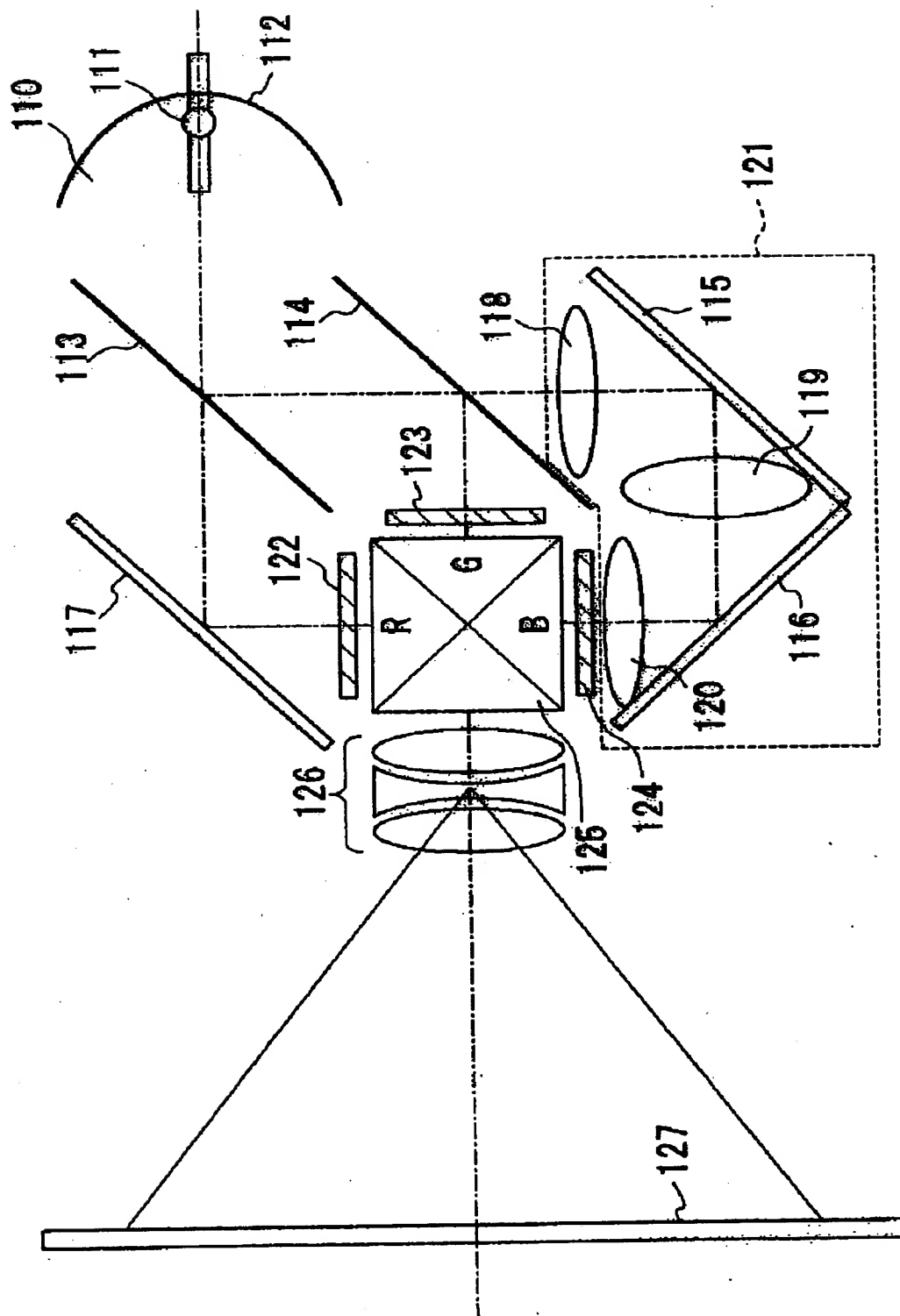
【図 5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 SOI 構造を有する半導体基板において、部位により異なる厚さを有する単結晶半導体層を形成することができる半導体基板の製造方法を提供する。

【解決手段】 本発明の半導体基板の製造方法は、単結晶半導体基板 1 に絶縁膜 2 を形成する工程と、該絶縁膜 2 上にイオン遮蔽材 3 を配設する工程と、前記絶縁膜 2 側から半導体基板 1 にイオン注入してイオン注入層 1 a、1 b を形成する工程と、半導体基板 1 を支持基板 5 と貼り合わせる工程と、前記イオン注入層 1 a、1 b で半導体基板 1 を剥離させる工程とを含むことを特徴とする。

【選択図】 図 1

特2000-315822

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社